

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0011400
Application Number

출원년월일 : 2003년 02월 24일
Date of Application FEB 24, 2003

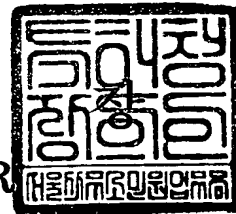
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.24
【발명의 명칭】	스타트업 회로를 갖는 바이어스회로
【발명의 영문명칭】	Bias circuit having a start-up circuit
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	정홍식
【대리인코드】	9-1998-000543-3
【포괄위임등록번호】	2003-002208-1
【발명자】	
【성명의 국문표기】	문재준
【성명의 영문표기】	MOON, JAE JUN
【주민등록번호】	690915-1053018
【우편번호】	140-811
【주소】	서울특별시 용산구 동빙고동 89-1
【국적】	KR
【발명자】	
【성명의 국문표기】	이정원
【성명의 영문표기】	LEE, JEONG WON
【주민등록번호】	661026-1108810
【우편번호】	463-010
【주소】	경기도 성남시 분당구 정자동 194 정든마을 한지아파트 702-2003
【국적】	KR
【발명자】	
【성명의 국문표기】	이정은
【성명의 영문표기】	LEE, JUNG EUN
【주민등록번호】	710923-1063521

【우편번호】 157-928
【주소】 서울특별시 강서구 화곡6동 1130-7호 비원빌라 2-301호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 정홍식 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 11 면 11,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 4 항 237,000 원
【합계】 277,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

스타트업 회로를 갖는 바이어스회로가 개시된다. 본 스타트업 회로를 갖는 바이어스 회로는, 커런트 미러 회로를 사용하여, 인가되는 전원전압으로부터 일정한 바이어스 전압을 출력노드에 발생시키는 바이어스 회로, 및 커런트 미러 회로를 구성하는 MOS 트랜지스터의 게이트가 공통으로 접속된 공통노드와, 출력노드사이에 접속되는 커패시터를 구비하여, 전원전압의 초기 인가시에 바이어스 회로를 가동시키는 스타트업 회로를 포함한다. 이에 의해, 전원전압의 노이즈 및 정적 전류에 의한 전력소모가 방지되며, 고주파 영역에서의 안정도가 향상되어 발진가능성이 제거된다.

【대표도】

도 7

【색인어】

스타트업 회로, 바이어스 회로, 전류미러

【명세서】

【발명의 명칭】

스타트업 회로를 갖는 바이어스회로{Bias circuit having a start-up circuit}

【도면의 간단한 설명】

도 1은 월슨의 커런트 미러를 사용한 일반적인 바이어스 회로도,

도 2 내지 도 4는 종래의 스타트업 회로를 갖는 바이어스 회로도,

도 5a 및 도 5b는 종래의 스타트업 회로를 갖는 바이어스 회로에서 주파수 특성을 나타낸 도면,

도 6은 종래의 스타트업 회로를 갖는 바이어스 회로에서 출력전압의 파형을 나타낸 도면,

도 7은 본 발명에 따른 스타트업 회로를 갖는 바이어스 회로에 대한 제1 실시예에 따른 회로도

도 8은 도 7의 회로의 등가회로도,

도 9는 본 발명에 따른 스타트업 회로를 구비한 바이어스 회로에 대한 주파수 특성을 나타낸 도면,

도 10a 내지 도 10c는 종래와 본 발명에 따른 스타트업 회로를 갖는 바이어스 회로의 출력 파형을 나타낸 도면 ,

도 11은 종래와 본 발명에 따른 스타트업 회로를 갖는 바이어스 회로의 출력전압의 파형을 나타낸 도면,

도 12는 본 발명에 따른 스타트업 회로를 갖는 바이어스 회로에 대한 제2 실시예에 따른 회로도,

도 13은 본 발명에 따른 스타트업 회로를 갖는 바이어스 회로에 대한 제3 실시예에 따른 회로도, 그리고

도 14는 본 발명에 따른 스타트업 회로를 갖는 바이어스 회로에 대한 제4 실시예에 따른 회로도이다.

*** 도면의 주요 부분에 대한 부호의 설명 ***

70, 80, 90, 100 : 스타트업 회로

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 스타트업(start-up) 회로를 갖는 바이어스 회로에 관한 것으로, 더욱 상세하게는 전원전압 노이즈와 정적 전류에 의한 전력소모를 방지하며, 고주파 영역에서의 안정성을 개선시킨 스타트업 회로를 갖는 바이어스 회로에 관한 것이다.

<16> 일반적으로 아날로그 회로의 설계시에는 여러 종류의 바이어스 회로가 사용되는데, 이러한 바이어스 회로에는 전원전압 공급의 초기에 발생하는 과도상태를 방지하기 위해 스타트업 회로가 사용된다. 즉, 스타트업 회로란 전원전압의 초기 인가시에만 동작하여, 바이어스 회로가 안정적인 바이어스 전압을 발생시키도록 하는 회로를 말한다.

- <17> 도 1은 윌슨(Wilson) 커런트 미러(current mirror)를 사용한 일반적인 바이어스 회로도이다. 도면을 참조하면, 바이어스 회로는, PMOS 트랜지스터 MP_{11} 및 MP_{12} , NMOS 트랜지스터 MP_{13} 및 MP_{14} , 그리고 저항 R_{11} 로 구성된다.
- <18> 이러한 구성의 바이어스 회로는 두가지 경우의 동작상태가 있다. 첫번째는 정상적인 바이어스 전압을 출력하는 경우이고, 다른 하나는 전원전압이 인가되는 초기상태에서 정상동작을 수행하지 못하는 경우이다. 즉, 전원전압이 인가되면 PMOS 트랜지스터 MP_{11} , MP_{12} 의 게이트가 접속된 노드 N_{11} 은 소정의 전원전압치가 걸리게 되며, 노드 N_{12} 의 전압은 '0'이 된다. 여기서, 노드 N_{12} 의 전압은 PMOS 트랜지스터 MP_{11} 을 통해 인가된 소정의 전압에 의해 증폭된다. 따라서, 커런트 미러를 구성하는 PMOS 트랜지스터 MP_{11} , MP_{12} 는 노드 N_{11} 의 전압에 의해 턴-온(turn-on) 상태를 유지하고, 이때 PMOS 트랜지스터 MP_{11} , MP_{12} 의 W/L의 크기가 같다면, 같은 크기의 전류가 NMOS 트랜지스터 MN_{13} , MN_{14} 에 인가된다. PMOS 트랜지스터를 통해 인가된 노드 N_{12} 의 전압은 NMOS 트랜지스터 MN_{13} , MN_{14} 를 턴-온 시킨다. 여기서, NMOS 트랜지스터 MN_{13} , MN_{14} 의 W/L의 크기가 같다면, 저항 R_{11} 에 흐르는 전류는 NMOS 트랜지스터 MN_{13} 에 흐르는 전류와 같아진다. 이와 같은 동작에서 REF 단자를 통해 정상적인 바이어스 전압 V_{REF} 가 출력된다.
- <19> 그러나 전원전압이 인가되는 초기상태에서 노드 N_{11} , N_{12} 가 일정한 전압에 고정될 경우, NMOS 트랜지스터 MN_{13} , MN_{14} 가 오프되고 전류의 흐름은 차단되므로 정상적인 전압을 발생시키지 못한다. 따라서, 전원공급 초기상태에서 발생하는 과도상태를 방지하기 위하여 스타트업 회로가 필요하게 된다.
- <20> 도 2 내지 도 4는 종래의 스타트업 회로를 갖는 바이어스 회로도이다.

- <21> 도 2의 경우에는, 도 1의 바이어스 회로에, 저항 R_{22} 및 커패시터 C_{21} 로 구성된 스타트업 회로(20)가 부가되어 있는 형태이다.
- <22> 이러한 구성의 회로에서, 전원전압이 인가되는 초기상태에서 저항 R_{22} 와 커패시터 C_{21} 를 통하여 노드 N_{21} 에 NMOS 트랜지스터 MN_{23} 을 턴-온시키기에 충분한 전압이 인가되면, 이로 인하여 PMOS 트랜지스터 MP_{21} , MP_{23} , NMOS 트랜지스터 MN_{24} 가 턴-온함으로써, REF 단자를 통해 바이어스 전압 V_{REF} 이 출력된다. 전원전압이 안정한 상태에서 커패시터 C_{21} 은 전류의 흐름을 차단하게 되므로, 정적 전류에 의한 손실은 존재하지 않게 된다.
- <23> 그러나, 이러한 회로에서는, 전원전압에 존재하는 노이즈 등이 저항 R_{22} 와 커패시터 C_{21} 를 통하여 커플링되어 바이어스 전압 V_{REF} 에 영향을 미치게 된다는 단점이 있다.
- <24> 도 3은 종래의 스타트업 회로를 구비한 바이어스 회로의 다른 예이다. 도 3의 회로에서는, 여러단의 PMOS 트랜지스터($MPP_0 \sim MPP_n$)가 다이오드 연결된 스타트업 회로(30)가 사용된다.
- <25> 이러한 구성의 회로에서, 여러단의 PMOS 트랜지스터($MPP_0 \sim MPP_n$)는 다이오드 연결되어 항상 온상태에 있게 된다. 그러므로 노드 N_{31} 전압은 다음의 식과 같다.
- <26> 【수학식 1】 $V_{N31} = V_{cc} - 2V_{TH}$
- <27> 여기서, V_{TH} 는 MOS 트랜지스터의 문턱전압(threshold voltage)이다.

- <28> 노드 N_{31} 전압은 PMOS 트랜지스터 MP_{33} 의 게이트 전압이 되므로, PMOS 트랜지스터 MP_{33} 의 소스 전압인 노드 N_{32} 의 전압이 전원전압이 증가함에 따라 다음의 식을 만족하여 PMOS 트랜지스터 MP_{33} 를 턴-온시킨다.
- <29> **【수학식 2】** $V_{N32} > V_{cc} - V_{TH}$
- <30> 그러므로 PMOS 트랜지스터 MP_{31} , NMOS 트랜지스터 MN_{33} , MN_{34} 가 모두 온 되면서 바이어스 회로의 기능을 수행하는 정상상태에 이르게 된다. 이때, 노드 N_{32} 의 전압은 NMOS 트랜지스터 MN_{34} 가 온 상태이므로, 다시 전압이 떨어지기 시작하여, [수학식 2]를 만족하지 못하게 되므로, PMOS 트랜지스터 MP_{33} 가 오프되어 스타트업 회로의 기능을 마친다.
- <31> 그러나, 이러한 구성의 회로는, 여러 단의 PMOS 트랜지스터($MPP_0 \sim MPP_n$) 통하여 항상 정적 전류가 존재하므로 전력손실이 발생한다는 단점이 있다.
- <32> 도 4의 종래의 스타트업 회로를 갖는 바이어스 회로의 또 다른 예이다. 도 4의 회로에서는, 스타트업 회로(40)내의 NMOS 트랜지스터 MNN_0 의 게이트는 바이어스 회로의 두개의 PMOS 트랜지스터 MP_{41} , MP_{42} 의 게이트와 공통으로 연결되어 있다. 따라서, 최초 전원전압이 인가될 때, 노드의 N_{41} 의 전압은 전원전압과 같이 상승한다. REF 단자의 최초 전압은 0 이므로 아래식에 의하여 NMOS 트랜지스터 MNN_0 는 턴-온된다
- <33> **【수학식 3】** $V_{N41} - V_{REF} > (n+1)V_{TH}$
- <34> 이때, 스타트업 회로(40)의 직렬연결된 모든 트랜지스터(MPP_0 , $MNN_1 \sim MNN_n$)들은 온상태가 되어 REF 단자의 전압인 V_{REF} 은 상승하게 된다. 상승된 V_{REF} 전압은 NMOS 트랜지스터 MN_{43} , MN_{43} 를 턴-온시킨다. 이에 따라 바이어스 회로는 정상적인 동작상태에

들어가게 된다. 이때, NMOS 트랜지스터 MN_{44} 가 온상태이므로 노드 N_{41} 의 전압은 다시 낮아지게 된다. 그러므로, 노드 N_{41} 의 전압과 V_{REF} 전압차는 줄어들게 되므로 다음의 식에 의해 NMOS 트랜지스터는 MN_0 턴-오프된다.

<35> 【수학식 4】 $V_{N_{41}} - V_{REF} < (n+1)V_{TH}$

<36> 이러한 구성의 회로는, 스타트업 회로의 정적전류소모를 차단하는 기능을 하여 전력손실을 줄어들게 하며, 또한 전원전압으로부터의 노이즈를 억제하는 역할을 하게 된다.

<37> 그러나, 이러한 회로에서는 2개의 앰프, 즉 NMOS 트랜지스터 MN_{34} 를 로드로 하는 PMOS 트랜지스터 MP_{41} 의 앰프 1과, PMOS 트랜지스터 MP_{32} 를 로드(load)로 하는 NMOS 트랜지스터 MP_{44} 의 앰프 2가 정궤환 루프(positive feedback loop)의 구조로 연결되어 있는 구조이다. 이러한 궤환 루프의 앰프 이득은 저주파 영역에서 적은 값을 갖지만, 로드 커패시턴스 등의 영향으로 고주파 영역에서 이득이 커질 수 있다. 따라서, 고주파 영역에서 0dB 보다 큰 이득값을 가질 수 있고, 이러한 경우 주파수 안정도 문제가 발생하여 출력이 발진될 수 있다. 이러한 문제는 도 2와 도3에서 설명한 회로에서도 마찬가지로 발생한다.

<38> 도 5a 및 도 5b는 종래의 스타트업 회로를 갖는 바이어스 회로의 주파수 특성을 나타낸 것이다. 도면을 참조하면, 고주파에서 이득이 0dB 이상을 나타나면, 이득이 0dB 가 되는 점에서의 위상 마진은 거의 0에 가깝거나 (-)로 되면, 이는 부하가 커질수록 작아진다.

<39> 도 6은 종래의 스타트업 회로를 갖는 바이어스 회로의 출력전압을 측정한 것이다. 도면을 참조하면, 출력전압이 발진하는 현상을 볼 수 있다.

<40> 따라서, 종래의 스타트업 회로를 갖는 바이어스 회로는, 도 5a, 도 5b 및 도 6에서 알 수 있는 바와 같이, 안정도 검토가 필요하며, 이에 대한 대책이 필요하다.

【발명이 이루고자 하는 기술적 과제】

<41> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은, 전원전압 노이즈와 정적 전류에 의한 전력소모를 제거하면서, 고주파에서의 안정도 특성을 개선시킨 스타트업 회로를 갖는 바이어스 회로를 제공함에 있다.

【발명의 구성 및 작용】

<42> 상기 목적을 달성하기 위한 본 발명에 따른 스타트업 회로를 갖는 바이어스 회로는, 커런트 미러 회로를 사용하여, 인가되는 전원전압으로부터 일정한 바이어스 전압을 출력노드에 발생시키는 바이어스 회로, 및 상기 커런트 미러 회로를 구성하는 MOS 트랜지스터의 게이트가 공통으로 접속된 공통노드와, 상기 출력노드사이에 접속되는 커패시터를 구비하여, 상기 전원전압의 초기 인가시에 상기 바이어스 회로를 가동시키는 스타트업 회로를 포함한다.

<43> 상기 바이어스 회로는, 소스가 상기 전원전압에 접속된 제1 PMOS 트랜지스터, 게이트 및 드레인이 상기 제1 PMOS 트랜지스터의 게이트에 공통 접속되어 상기 공통노드가 되고, 소스가 상기 전원전압에 접속된 제2 PMOS 트랜지스터, 드레인 및 게이트가 상기 제1 PMOS 트랜지스터의 드레인과 공통 접속되어 상기 출력노드가 되고, 소스가 접지전원에 접속된 제1 NMOS 트랜지스터, 드레인이 상기 제2 PMOS 트랜지스터의 드레인과 접속되

고, 게이트는 상기 제1 NMOS 트랜지스터의 게이트와 접속된 제2 NMOS 트랜지스터, 및 상기 제2 NMOS 트랜지스터의 소스와 상기 접지전원사이에 접속되는 저항으로 구성하는 것이 가능하다.

<44> 또한 상기의 목적을 달성하기 본 발명에 따른 스타트업 회로를 갖는 바이어스 회로는, 커런트 미러 회로를 2단으로 쌓는 구조인 캐스코드 커런트 미러 회로를 사용하며, 인가되는 전원전압으로부터 일정한 바이어스 전압을 출력노드에 발생시키는 바이어스 회로, 및 상기 전원전압의 초기 인가시에 상기 바이어스 회로를 가동시키는 스타트업 회로를 구비하며, 상기 스타트업 회로는, 상기 캐스코드 커런트 미러회로의 1단 커런트 미러 회로를 구성하는 MOS 트랜지스터의 게이트가 공통으로 접속된 제1 공통노드와, 2단 커런트 미러 회로를 구성하는 MOS 트랜지스터의 게이트가 공통으로 접속된 제2 공통노드사이에 접속되는 제1 커패시터, 및 상기 제2 공통노드와 상기 출력노드사이에 접속되는 제2 커패시터를 구비한다.

<45> 상기 바이어스 회로는, 소스가 상기 전원전압에 접속된 제1 PMOS 트랜지스터, 게이트 및 드레인이 상기 제1 PMOS 트랜지스터의 게이트에 공통 접속되어 상기 제1 공통노드가 되고, 소스가 상기 전원전압에 접속된 제2 PMOS 트랜지스터, 소스가 상기 제1 PMOS 트랜지스터의 드레인에 접속되는 제3 PMOS 트랜지스터, 게이트 및 드레인이 상기 제1 PMOS 트랜지스터의 게이트와 공통 접속되어 상기 제2 공통노드가 되고, 소스가 상기 제2 PMOS 트랜지스터의 드레인과 접속되는 제4 PMOS 트랜지스터, 드레인 및 게이트가 상기 제3 PMOS 트랜지스터의 드레인과 공통 접속되어 상기 출력노드가 되고, 소스가 접지전원에 접속된 제1 NMOS 트랜지스터, 드레인이

상기 제4 PMOS 트랜지스터의 드레인과 접속되고, 게이트는 상기 제1 NMOS 트랜지스터의 게이트와 접속된 제2 NMOS 트랜지스터, 및 상기 제2 NMOS 트랜지스터의 소스와 상기 접지전원사이에 접속되는 저항으로 구성하는 것이 가능하다.

<46> 이하에서는 도면을 참조하여 본 발명을 보다 상세하게 설명한다.

<47> 도 7은 본 발명에 따른 스타트업 회로를 갖는 바이어스 회로도이다. 본 스타트업 회로를 갖는 바이어스 회로는, PMOS 트랜지스터 MP_{71} , MP_{72} , NMOS 트랜지스터 MN_{73} , MN_{72} , 및 저항 R_{71} 로 구성되는 바이어스 회로와, 커패시터 CP_1 으로 구성되는 스타트업 회로(70)로 구성된다.

<48> PMOS 트랜지스터 MP_{71} 의 게이트와, PMOS 트랜지스터 MP_{72} 의 게이트 및 드레인은 공통 접속되며, 소스는 전원전압 V_{cc} 에 각각 연결되어, 커런트 미러(current mirror)를 구성한다. PMOS 트랜지스터 MP_{71} , MP_{72} 의 드레인은 각각 NMOS 트랜지스터 MN_{73} , MN_{74} 의 드레인과 연결된다.

<49> NMOS 트랜지스터 MN_{73} 의 게이트 및 드레인은 NMOS 트랜지스터 MP_{74} 의 게이트와 공통 접속되어 출력노드를 구성하고, 출력노드를 통해 출력전압 V_{gn} 을 출력한다. NMOS 트랜지스터 MN_{73} , MN_{74} 의 소스는 접지전압 V_{ss} 에 연결된다.

<50> 커패시터 CP_1 는 커런트 미러를 구성하는 PMOS 트랜지스터 MN_{71} , MP_{73} 의 게이트가 공통으로 접속된 공통노드와, 출력노드 사이에 접속되며, 바이어스 회로를 초기에 가동하는 역할과, 주파수 보상역할을 수행한다.

<51> 이러한 구성의 회로에서, 최초 전원전압이 인가되기 전에는 노드 N_{71} 의 전압은 다음과 같다.

<52> 【수학식 5】 $V_{N71} < V_{THn}$

<53> 여기서, V_{TH} 는 MOS 트랜지스터의 문턱전압(threshold voltage)이다.

<54> 노드 N_{71} 의 전압은 V_{THn} 보다 작으므로, PMOS 트랜지스터 MN_{71} 및 MP_{72} 는 오프상태에 있다. 이러한 상태에서, 전원전압이 인가되어 0 에서 V_{cc} 까지 전이되는 초기에 NMOS 트랜지스터 MN_{73} , MP_{74} 가 오프상태에 있으므로, 노드 N_{71} 의 전압은 전원전압에 비례하여 증가하게 된다.

<55> 노드 N_{71} 과 N_{72} 은 커패시터 CP_1 으로 연결되어 있으므로, 노드 N_{72} 의 전압이 증가하면 N_{71} 의 전압도 증가하게 된다. 이때, 노드 N_{71} 의 전압인 V_{gn} 이 계속 증가하여, NMOS 트랜지스터 MN_{73} 의 게이트 전압이 V_{THn} 보다 크게 되면, NMOS 트랜지스터 MN_{73} 은 턴-온상태가 된다. 이에 따라 연속적으로 NMOS 트랜지스터 MN_{74} 가 턴-온되면서, PMOS 트랜지스터 MN_{71} 및 MP_{72} 가 모두 턴-온 상태에 들어가게 되고, 기준전압 발생회로는 정상적인 동작상태에 들어가게 된다.

<56> 전원전압이 V_{cc} 전압까지 완전히 전이되어 안전한 상태가 되면, 노드 N_{71} , 노드 N_{72} 의 전압은 안정적인 바이어스 전압을 형성한다. 이때, 커패시터 CP_1 는 직류에 대해, 오프가 되어 있는 상태가 되므로, 전력소모는 발생하지 않는다.

<57> 또한, 앞서 설명한 바와 같이, 이러한 기준전압 발생회로는 정제환 루프가 형성되어 있으므로, 커패시터 CP_1 가 스타트업 기능과 함께 주파수 보상회로의 기능도 수행하여 기준전압 발생회로의 발진가능성을 제거하는 역할을 수행한다.

<58> 도 8은 도 7의 회로의 등가회로도이다. 도 8에 도시한 바와 같이, 도 7의 회로는 피드백 구조의 두개의 앰프(Amp1, Amp2)와 커패시터 CP_1 의 회로와 등가의 회로가 된다.

이때, 커패시터 CP_1 의 의해 주파수가 보상되므로, 종래의 회로와 같은 발진가능성은 제거된다.

<59> 도 9는 본 발명에 따른 스타트업 회로를 갖는 바이어스 회로의 주파수 특성을 시뮬레이션한 그래프이다. 그래프에서 x축은 주파수를 나타내며, y축은 x축의 주파수에 대응하는 이득을 나타낸다. 그래프에 나타난 바와 같이, 커패시터 CP_1 에 의해 주파수 보상이 되어, 고주파 영역에서도 이득이 0dB 이상되지 않는다.

<60> 도 10a 내지 도 10c는 종래의 스타트업 회로를 갖는 바이어스 회로와 본 발명에 따른 스타트업 회로를 갖는 바이어스 회로의 출력파형을 나타낸 것이다.

<61> 도 10a는 스타트업 기능이 없는 바이어스 회로의 출력이고, 도 10b는 종래의 스타트업 회로를 갖는 바이어스 회로의 출력을 나타내며, 도 10c는 본 발명에 따른 스타트업 회로를 갖는 바이어스 회로의 출력을 나타낸다.

<62> 그래프에 나타난 바와 같이, 10a의 경우는 스타트업 기능을 구비하지 못하여, 원하는 바이어스 전압을 출력하지 못함을 알 수 있다. 또한, 도 10b의 경우에는, 스타트업 기능에 의해 원하는 바이어스 전압을 출력할 수 있으나, 고주파 영역에서 발진하는 것을 알 수 있다. 이에 대해, 도 10c의 경우에는, 안정적인 바이어스 전압을 출력하고, 또한 주파수 보상이 되어 발진현상을 존재하지 않는 것을 알 수 있다.

<63> 도 11은 본 발명에 따른 스타트업 회로를 갖는 바이어스 회로에서 출력되는 전압의 파형과, 종래의 스타트업 회로를 갖는 바이어스 회로에서 출력되는 전압을 나타낸 것이다. 도면에서, 파형 A가 본 발명에 따른 회로의 전압 파형을 나타내며, 파형 B가 종래

의 회로에서의 전압 파형을 나타낸다. 도면에서 알 수 있는 바와 같이, 본 발명에 따른 스타트업 회로를 갖는 바이어스 회로의 출력전압이 더 안정적임을 알 수 있다.

<64> 도 12 내지 도 14은 본 발명에 따른 원리에 따라, 다양한 형태의 회로를 구성한 것이다.

<65> 도 12의 경우는, 도 7의 회로와 비교하여, 저항 R_{81} 이 NMOS 트랜지스터 대신 PMOS 트랜지스터 MP_{81} 의 소스와 전원전압사이에 접속되어 있는데, 커런트 미러회로의 동작에 의한 전체 회로의 동작은 도 7에서 설명한 바와 같다.

<66> 도 13 및 도 14는 커런트 미러 회로를 2단으로 쌓은 구조인 캐스코드(cascode) 형태로 구성한 것이다. 전류원 회로는 소신호 출력저항값이 커야 출력전압값의 변화에 영향을 받지 않고, 거의 일정한 값을 전류를 출력할 수 있다. 따라서, 소신호 출력저항값을 높이기 위해 캐스코드 형태의 전류원회로를 사용한다.

<67> 이러한 회로의 동작원리는, 도 7에서 설명한 바와 같이, 스타트업 회로(80,90,100)로 사용되는 커패시터(CP_{81} , CP_{91} , CP_{92} , CP_{101} , CP_{102})가 전원전압의 초기인가시 바이어스 회로를 가동하며, 주파수 보상을 하는 역할을 수행한다.

【발명의 효과】

<68> 이상 설명한 바와 같이, 본 발명에 따르면, 전원전압으로부터 인가되는 노이즈가 제거되며, 스타트업 회로에 의한 전력소모가 방지되며, 고주파 영역에서의 안정도가 향상되어 발진가능성이 제거된 스타트업 회로를 갖는 바이어스 회로가 제공된다.

<69> 또한, 이상에서는 본 발명의 바람직한 실시예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특정의 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의

요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어져서는 안될 것이다.

【특허청구범위】**【청구항 1】**

커런트 미러 회로를 사용하여, 인가되는 전원전압으로부터 일정한 바이어스 전압을 출력노드에 발생시키는 바이어스 회로; 및

상기 커런트 미러 회로를 구성하는 MOS 트랜지스터의 게이트가 공통으로 접속된 공통노드와, 상기 출력노드사이에 접속되는 커패시터를 구비하여, 상기 전원전압의 초기 인가시에 상기 바이어스 회로를 가동시키는 스타트업 회로;를 포함하는 것을 특징으로 하는 스타트업회로를 갖는 바이어스회로.

【청구항 2】

제1항에 있어서,

상기 바이어스 회로는,

소스가 상기 전원전압에 접속된 제1 PMOS 트랜지스터;

게이트 및 드레인이 상기 제1 PMOS 트랜지스터의 게이트에 공통 접속되어 상기 공통노드가 되고, 소스가 상기 전원전압에 접속된 제2 PMOS 트랜지스터;

드레인 및 게이트가 상기 제1 PMOS 트랜지스터의 드레인과 공통 접속되어 상기 출력노드가 되고, 소스가 접지전원에 접속된 제1 NMOS 트랜지스터;

드레인이 상기 제2 PMOS 트랜지스터의 드레인과 접속되고, 게이트는 상기 제1 NMOS 트랜지스터의 게이트와 접속된 제2 NMOS 트랜지스터; 및

상기 제2 NMOS 트랜지스터의 소스와 상기 접지전원사이에 접속되는 저항;을 포함하는 것을 특징으로 하는 스타트업회로를 갖는 바이어스회로.

【청구항 3】

커런트 미러 회로를 2단으로 쌓는 구조인 캐스코드 커런트 미러 회로를 사용하여, 인가되는 전원전압으로부터 일정한 바이어스 전압을 출력노드에 발생시키는 바이어스 회로; 및

상기 전원전압의 초기 인가시에 상기 바이어스 회로를 가동시키는 스타트업 회로를 구비하며,

상기 스타트업 회로는, 상기 캐스코드 커런트 미러 회로의 1단 커런트 미러 회로를 구성하는 MOS 트랜지스터의 게이트가 공통으로 접속된 제1 공통노드와, 2단 커런트 미러 회로를 구성하는 MOS 트랜지스터의 게이트가 공통으로 접속된 제2 공통노드 사이에 접속되는 제1 커패시터; 및

상기 제2 공통노드와 상기 출력노드 사이에 접속되는 제2 커패시터를 구비하는 것을 특징으로 하는 스타트업회로를 갖는 바이어스회로.

【청구항 4】

제3항에 있어서,

상기 바이어스 회로는,

소스가 상기 전원전압에 접속된 제1 PMOS 트랜지스터;

게이트 및 드레인이 상기 제1 PMOS 트랜지스터의 게이트에 공통 접속되어 상기 제1 공통노드가 되고, 소스가 상기 전원전압에 접속된 제2 PMOS 트랜지스터;

소스가 상기 제1 PMOS 트랜지스터의 드레인에 접속되는 제3 PMOS 트랜지스터;

게이트 및 드레인이 상기 제1 PMOS 트랜지스터의 게이트와 공통 접속되어 상기 제2 공통노드가 되고, 소스가 상기 제2 PMOS 트랜지스터의 드레인과 접속되는 제4 PMOS 트랜지스터;

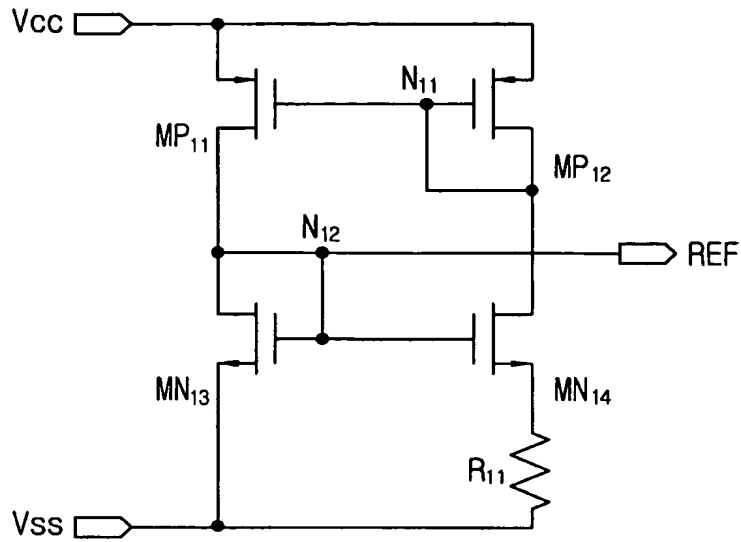
드레인 및 게이트가 상기 제3 PMOS 트랜지스터의 드레인과 공통 접속되어 상기 출력노드가 되고, 소스가 접지전원에 접속된 제1 NMOS 트랜지스터;

드레인이 상기 제4 PMOS 트랜지스터의 드레인과 접속되고, 게이트는 상기 제1 NMOS 트랜지스터의 게이트와 접속된 제2 NMOS 트랜지스터; 및

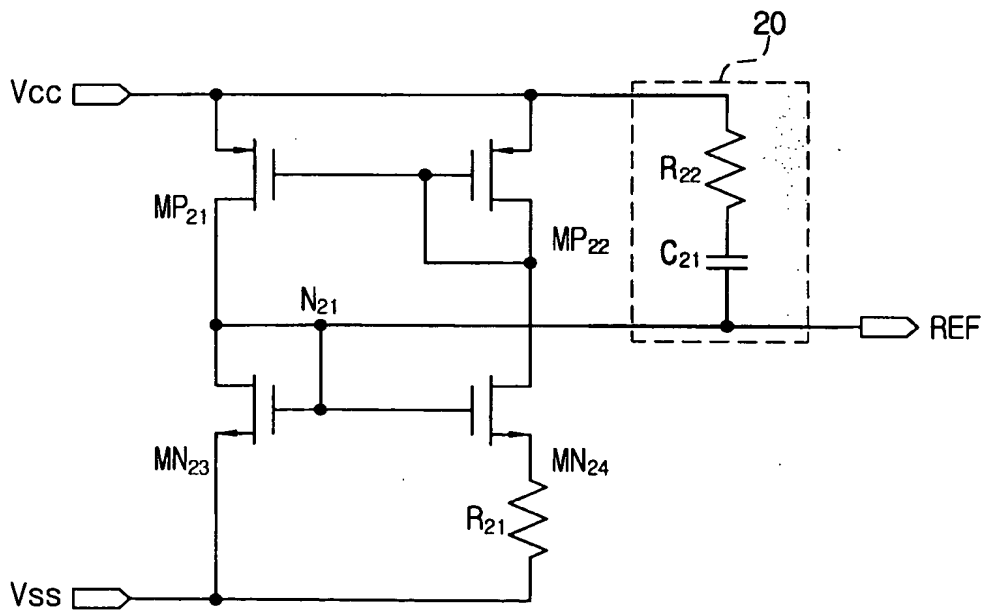
상기 제2 NMOS 트랜지스터의 소스와 상기 접지전원사이에 접속되는 저항;을 포함하는 것을 특징으로 하는 스타트업회로를 갖는 바이어스회로.

【도면】

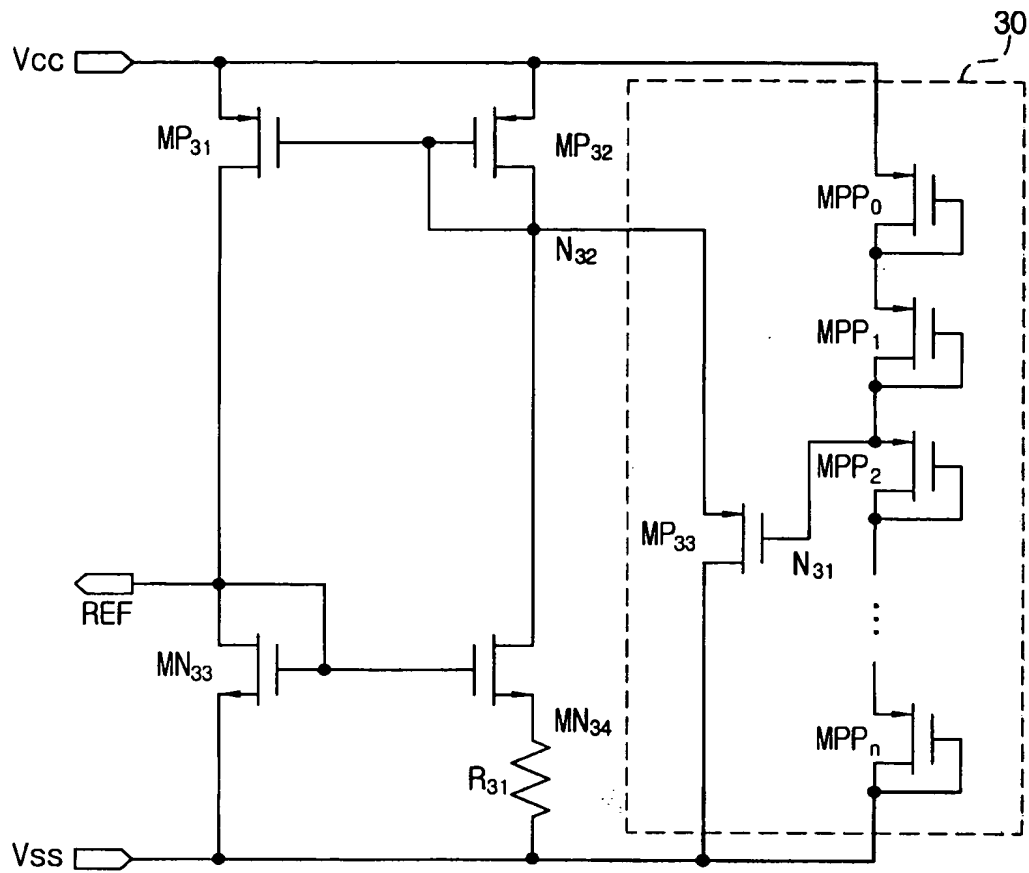
【도 1】



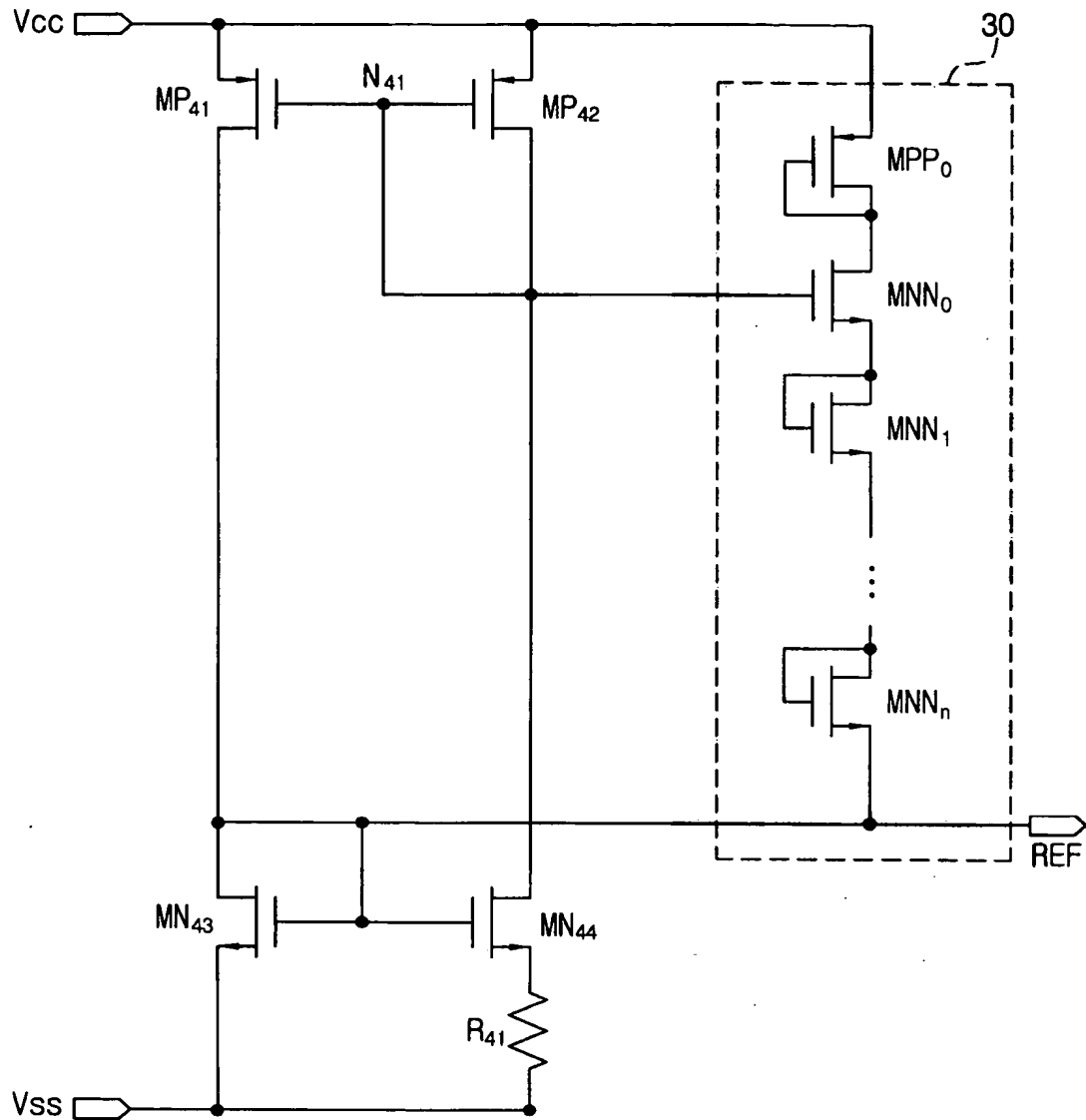
【도 2】



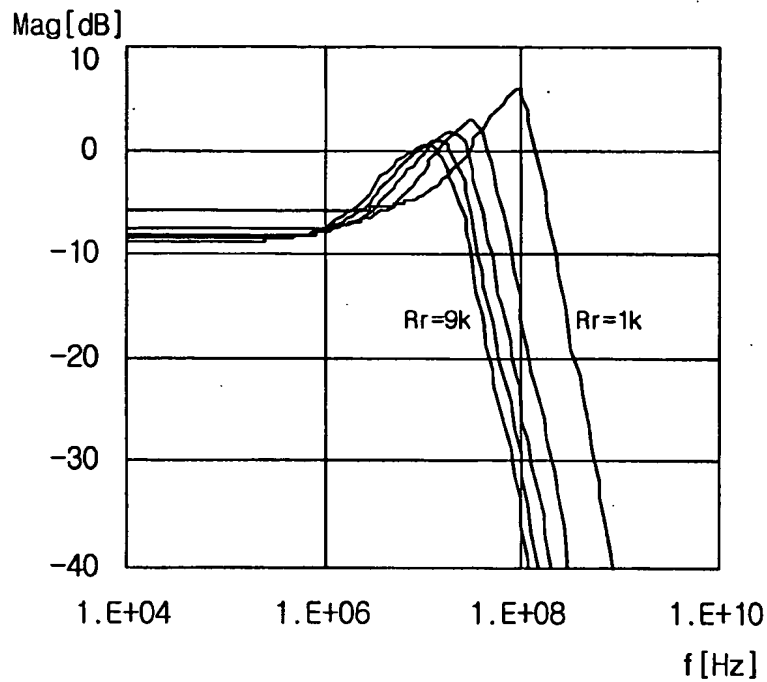
【도 3】



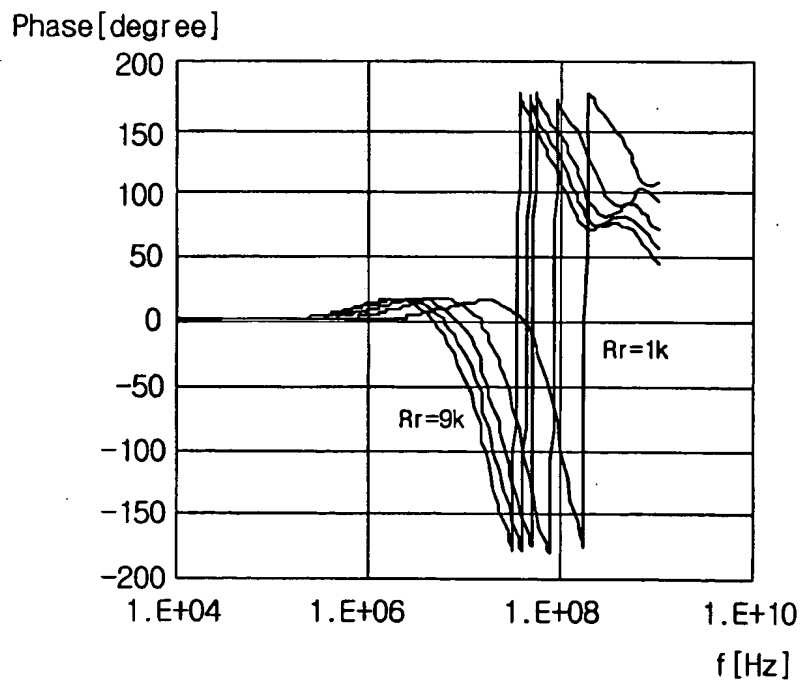
【도 4】



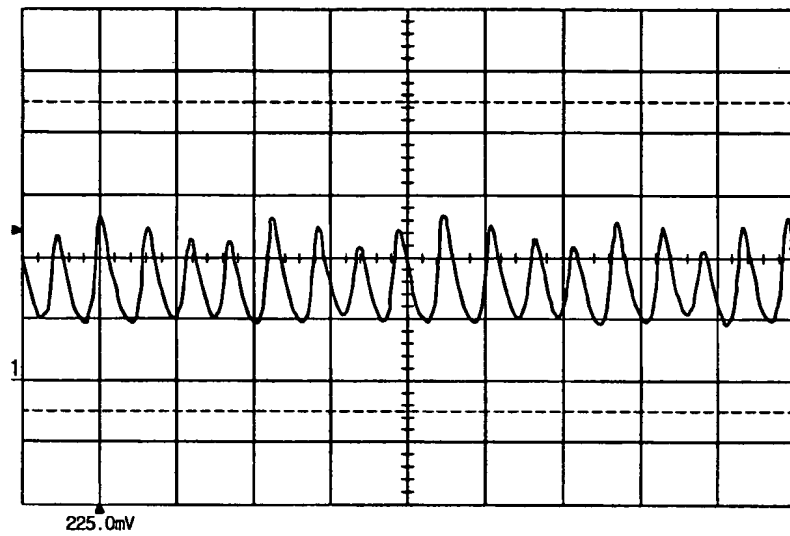
【도 5a】



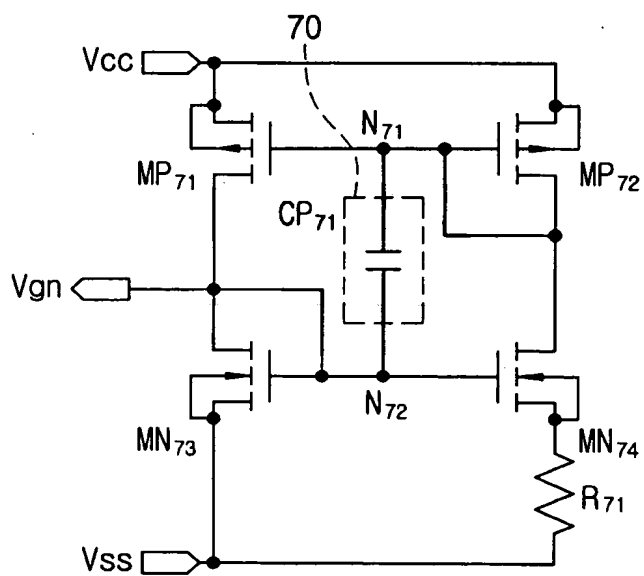
【도 5b】



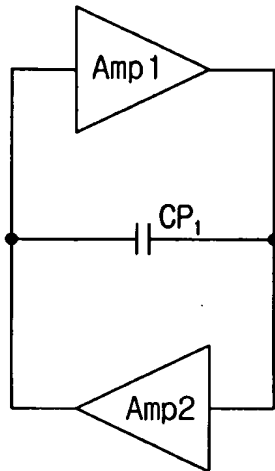
【도 6】



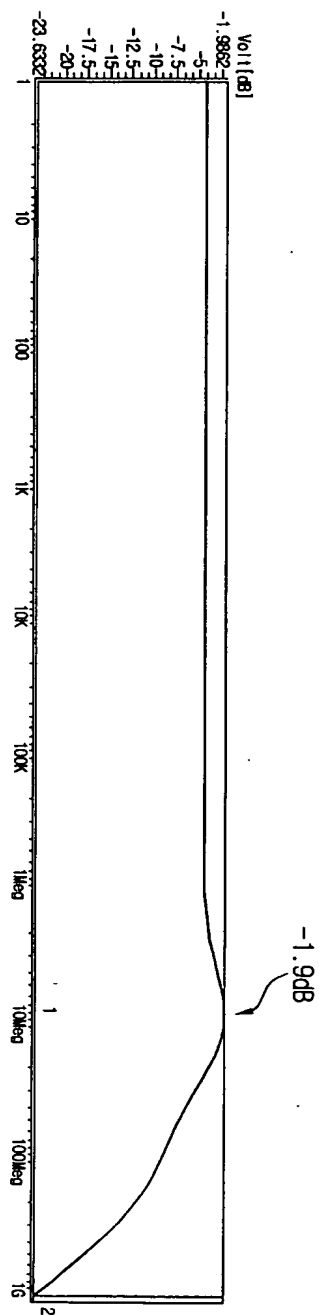
【도 7】



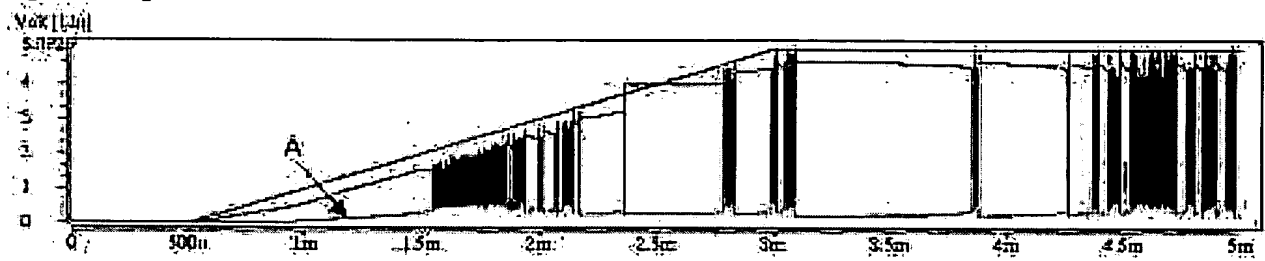
【도 8】



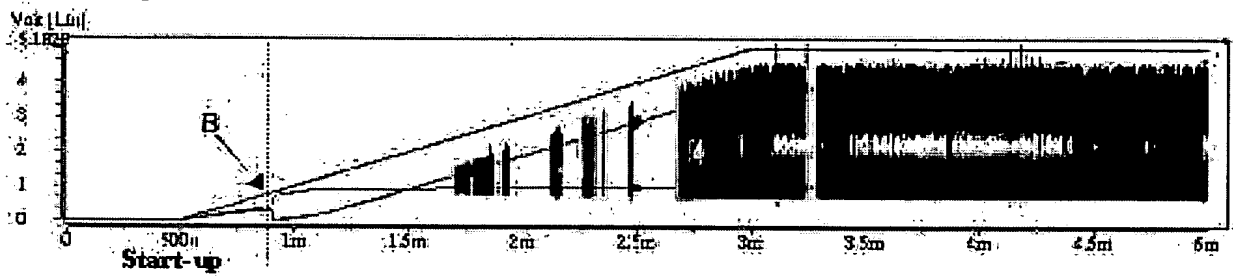
【도 9】



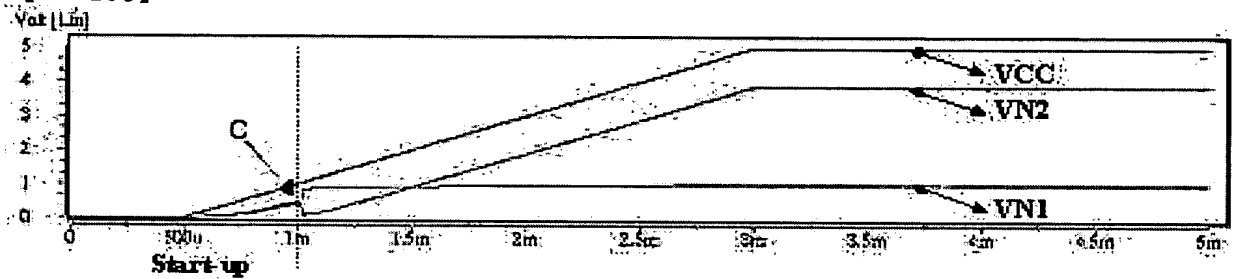
【도 10a】



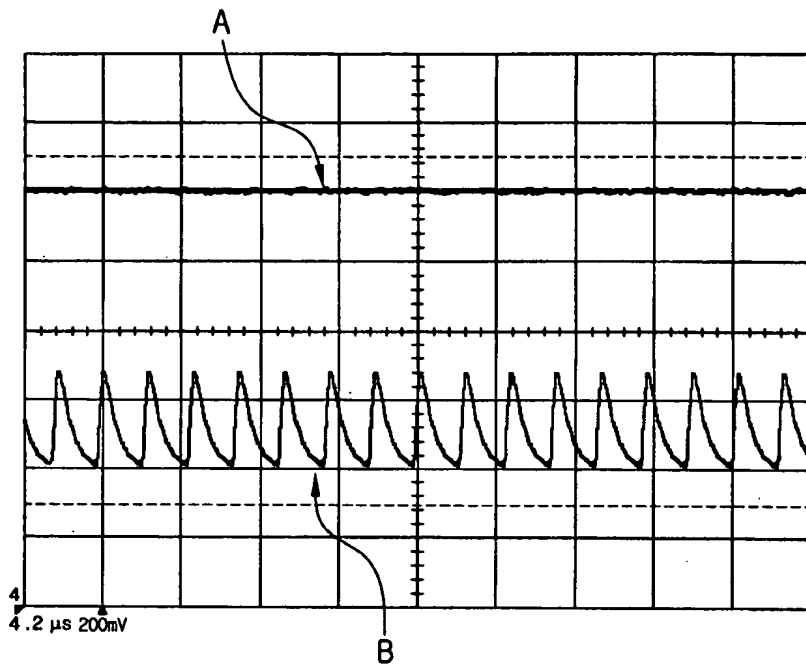
【도 10b】



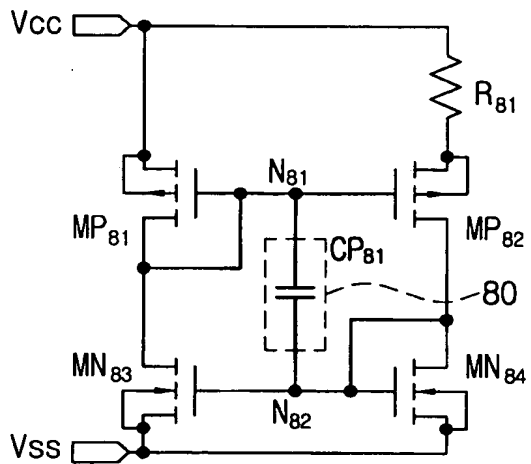
【도 10c】



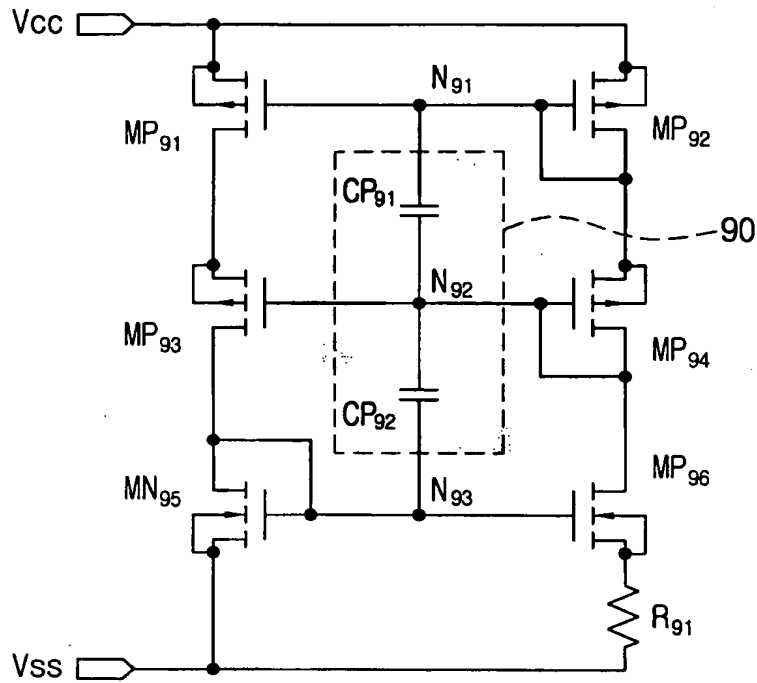
【도 11】



【도 12】



【도 13】



【도 14】

